

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000890

International filing date: 25 January 2005 (25.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-017899
Filing date: 27 January 2004 (27.01.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 2 7 日
Date of Application:

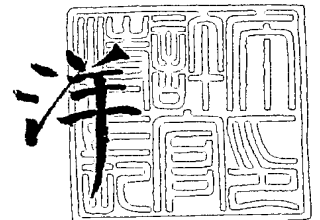
出 願 番 号 特 願 2 0 0 4 - 0 1 7 8 9 9
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 1 7 8 9 9]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 5 年 3 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2018350358
【提出日】 平成16年 1月27日
【あて先】 特許庁長官殿
【国際特許分類】 H05K 1/18
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 大西 浩昭
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 森 将人
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 平野 正人
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 中西 清史
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 小谷 暁彦
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
【選任した代理人】
 【識別番号】 100103355
 【弁理士】
 【氏名又は名称】 坂口 智康
【選任した代理人】
 【識別番号】 100109667
 【弁理士】
 【氏名又は名称】 内藤 浩樹
【手数料の表示】
 【予納台帳番号】 011305
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9809938

【書類名】 特許請求の範囲**【請求項 1】**

チップ部品が実装された回路基板であって、
配線パターンが形成された基板と、
前記基板上に導電性の接合材料を介して実装された複数の第 1 チップ部品と、
前記複数の第 1 チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された少なくとも 1 つの第 2 チップ部品と、
を備え、

前記複数の第 1 チップ部品に含まれる一の第 1 チップ部品および他の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記少なくとも 1 つの第 2 チップ部品に含まれるチップ部品の一方の電極が前記一の第 1 チップ部品の電極に接合され、他方の電極が前記他の第 1 チップ部品の電極に接合されることを特徴とする回路基板。

【請求項 2】

請求項 1 に記載の回路基板であって、
前記複数の第 1 チップ部品および前記少なくとも 1 つの第 2 チップ部品に含まれる各チップ部品の長さが、2 mm 以下であることを特徴とする回路基板。

【請求項 3】

請求項 1 または 2 に記載の回路基板であって、
前記複数の第 1 チップ部品および前記少なくとも 1 つの第 2 チップ部品に含まれる各チップ部品が、抵抗器、コンデンサまたはインダクタであることを特徴とする回路基板。

【請求項 4】

請求項 1 ないし 3 のいずれかに記載の回路基板であって、
前記基板上において前記複数の第 1 チップ部品および前記少なくとも 1 つの第 2 チップ部品の接合部を覆う補強樹脂をさらに備えることを特徴とする回路基板。

【請求項 5】

チップ部品が実装された回路基板であって、
配線パターンが形成された基板と、
前記基板上に導電性の接合材料を介して実装された少なくとも 1 つの第 1 チップ部品と、
前記少なくとも 1 つの第 1 チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された少なくとも 1 つの第 2 チップ部品と、
を備え、

前記少なくとも 1 つの第 1 チップ部品に含まれる一の第 1 チップ部品と、前記一の第 1 チップ部品の電極に接合される一の第 2 チップ部品とが、異種部品であることを特徴とする回路基板。

【請求項 6】

配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、
a) 基板上に複数の第 1 チップ部品を装着する工程と、
b) 導電性の接合材料を介して前記基板の電極上に前記複数の第 1 チップ部品の電極を固定する工程と、
c) 前記複数の第 1 チップ部品の前記基板とは反対側に少なくとも 1 つの第 2 チップ部品を装着する工程と、
d) 導電性の接合材料を介して前記複数の第 1 チップ部品の電極上に前記少なくとも 1 つの第 2 チップ部品の電極を固定する工程と、
を備え、

前記複数の第 1 チップ部品に含まれる一の第 1 チップ部品および他の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記 c) 工程において、前記少なくとも 1 つの第 2 チップ部品に含まれるチップ部品の一方の電極が前記一の第 1 チップ部品の電極上に位置し、他方の電極が前記他の第 1 チップ部品の電極上に位置することを特徴とするチップ

部品実装方法。

【請求項 7】

請求項 6 に記載のチップ部品実装方法であって、

前記 d) 工程において、前記少なくとも 1 つの第 2 チップ部品を含む前記基板上の一部の領域のみが加熱されることを特徴とするチップ部品実装方法。

【請求項 8】

配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって

a) 基板上に複数の第 1 チップ部品を装着する工程と、

b) 前記複数の第 1 チップ部品の前記基板とは反対側に少なくとも 1 つの第 2 チップ部品を装着する工程と、

c) 導電性の接合材料を介して前記基板の電極上に前記複数の第 1 チップ部品の電極を固定するとともに、導電性の接合材料を介して前記複数の第 1 チップ部品の電極上に前記少なくとも 1 つの第 2 チップ部品の電極を固定する工程と、
を備え、

前記複数の第 1 チップ部品に含まれる一の第 1 チップ部品および他の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記 b) 工程において、前記少なくとも 1 つの第 2 チップ部品に含まれるチップ部品の一方の電極が前記一の第 1 チップ部品の電極上に位置し、他方の電極が前記他の第 1 チップ部品の電極上に位置することを特徴とするチップ部品実装方法。

【請求項 9】

配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって

a) 複数の第 1 チップ部品を保持する工程と、

b) 前記複数の第 1 チップ部品上に少なくとも 1 つの第 2 チップ部品を装着する工程と

c) 導電性の接合材料を介して前記複数の第 1 チップ部品の電極上に前記少なくとも 1 つの第 2 チップ部品の電極を固定したチップ部品構造体を形成する工程と、

d) 前記チップ部品構造体の前記複数の第 1 チップ部品側を基板に向けて、前記基板上に前記チップ部品構造体を装着する工程と、

e) 導電性の接合材料を介して前記基板の電極上に前記複数の第 1 チップ部品の電極を固定する工程と、
を備え、

前記複数の第 1 チップ部品に含まれる一の第 1 チップ部品および他の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記 b) 工程において、前記少なくとも 1 つの第 2 チップ部品に含まれるチップ部品の一方の電極が前記一の第 1 チップ部品の電極上に位置し、他方の電極が前記他の第 1 チップ部品の電極上に位置することを特徴とするチップ部品実装方法。

【請求項 10】

請求項 9 に記載のチップ部品実装方法であって、

前記 a) 工程において、前記複数の第 1 チップ部品のそれぞれが、保持部の凹部に挿入されて保持されることを特徴とするチップ部品実装方法。

【請求項 11】

請求項 6 ないし 10 のいずれかに記載のチップ部品実装方法であって、

前記複数の第 1 チップ部品と前記少なくとも 1 つの第 2 チップ部品との間の前記接合材料が、接合前において、前記複数の第 1 チップ部品の電極上に形成されたはんだ層または前記少なくとも 1 つの第 2 チップ部品の電極上に形成されたはんだ層であることを特徴とするチップ部品実装方法。

【請求項 12】

請求項 6 ないし 11 のいずれかに記載のチップ部品実装方法であって、

前記基板上において前記複数の第1チップ部品および前記少なくとも1つの第2チップ部品の接合部を補強樹脂にて覆う工程をさらに備えることを特徴とするチップ部品実装方法。

【書類名】 明細書

【発明の名称】 回路基板およびチップ部品実装方法

【技術分野】

【0001】

本発明は、電子部品であるチップ部品が実装された回路基板およびチップ部品の実装方法に関する。

【背景技術】

【0002】

近年、携帯電話やコンピュータ等の電子機器の小型、薄型、高機能化に伴い、配線パターンが形成された基板に電子部品を実装した回路基板の更なる高密度実装化の要求が高まっている。これに対応すべく、表面実装用の微細な電子部品であるチップ部品の実装においては、部品サイズの小型化および実装された部品間隔の狭ピッチ化が進んでいる。さらには、チップ部品の間の間隙をほぼなくすために、複数のチップ部品を連結した電子部品も市販されている。

【0003】

例えば、特許文献1には、平板状のチップ部品の4隅部にそれぞれ切欠き部を形成するとともに相対向する両端面に電極を形成し、複数のチップ部品を電極の形成されていない側面同士を連結接合した電子部品集合体が記載されている。また、特許文献2には、両端に電極を有する直方体のチップ部品が絶縁層を介してチップ部品の長手方向と直交する方向に2個以上積層された電子部品集合体を製造し、この電子部品集合体を配線パターンの形成された基板に実装する技術が記載されている。さらに、特許文献3には、同サイズの2つのチップコンデンサを基板の主面に垂直な方向に積み重ねたものが開示されている。

【特許文献1】 特開平6-251993号公報

【特許文献2】 特開2001-223455号公報

【特許文献3】 特開昭63-60593号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、チップ部品の実装においては、部品サイズの小型化と実装する部品間隔の狭ピッチ化に伴って、微細で高精度な実装が必要になり、欠品やショート等の実装不良が増加する等の理由により、更なる高密度実装が困難になる。すなわち、チップ部品の実装において、部品サイズの小型化および部品間隔の狭ピッチ化による実装の高密度化が限界に達している。一方、実装後の回路基板の総厚みは、チップ部品よりも部品高さが高いパッケージ部品に制約されるため、小型のチップ部品を狭い間隔で実装したとしてもチップ部品の上に空間が余る状態になり、チップ部品を含む電子部品の実装のために空間を無駄に占有することとなる。

【0005】

なお、特許文献3に開示された技術は、容量の異なる1つのチップコンデンサにより代替できる技術であり、また、チップコンデンサの積み上げは、回路基板において利用できる箇所が限定的であり、回路基板の小型化には余り寄与しない。

【0006】

本発明は、上記課題を解決するためになされたものであり、電子部品の実装に利用される空間を有効に活用してチップ部品を基板にさらに高密度に実装し、回路基板を小型化することを目的とする。

【課題を解決するための手段】

【0007】

請求項1に記載の発明は、チップ部品が実装された回路基板であって、配線パターンが形成された基板と、前記基板上に導電性の接合材料を介して実装された複数の第1チップ部品と、前記複数の第1チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された少なくとも1つの第2チップ部品とを備え、前記複数の第1チップ部品に含まれ

る一の第1チップ部品および他の第1チップ部品の前記基板上における高さがほぼ等しく、前記少なくとも1つの第2チップ部品に含まれるチップ部品の一方の電極が前記一の第1チップ部品の電極に接合され、他方の電極が前記他の第1チップ部品の電極に接合される。

【0008】

請求項2に記載の発明は、請求項1に記載の回路基板であって、前記複数の第1チップ部品および前記少なくとも1つの第2チップ部品に含まれる各チップ部品の長さが、2mm以下である。

【0009】

請求項3に記載の発明は、請求項1または2に記載の回路基板であって、前記複数の第1チップ部品および前記少なくとも1つの第2チップ部品に含まれる各チップ部品が、抵抗器、コンデンサまたはインダクタである。

【0010】

請求項4に記載の発明は、請求項1ないし3のいずれかに記載の回路基板であって、前記基板上において前記複数の第1チップ部品および前記少なくとも1つの第2チップ部品の接合部を覆う補強樹脂をさらに備える。

【0011】

請求項5に記載の発明は、チップ部品が実装された回路基板であって、配線パターンが形成された基板と、前記基板上に導電性の接合材料を介して実装された少なくとも1つの第1チップ部品と、前記少なくとも1つの第1チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された少なくとも1つの第2チップ部品とを備え、前記少なくとも1つの第1チップ部品に含まれる一の第1チップ部品と、前記一の第1チップ部品の電極に接合される一の第2チップ部品とが、異種部品である。

【0012】

請求項6に記載の発明は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、a) 基板上に複数の第1チップ部品を装着する工程と、b) 導電性の接合材料を介して前記基板の電極上に前記複数の第1チップ部品の電極を固定する工程と、c) 前記複数の第1チップ部品の前記基板とは反対側に少なくとも1つの第2チップ部品を装着する工程と、d) 導電性の接合材料を介して前記複数の第1チップ部品の電極上に前記少なくとも1つの第2チップ部品の電極を固定する工程とを備え、前記複数の第1チップ部品に含まれる一の第1チップ部品および他の第1チップ部品の前記基板上における高さがほぼ等しく、前記c) 工程において、前記少なくとも1つの第2チップ部品に含まれるチップ部品の一方の電極が前記一の第1チップ部品の電極上に位置し、他方の電極が前記他の第1チップ部品の電極上に位置する。

【0013】

請求項7に記載の発明は、請求項6に記載のチップ部品実装方法であって、前記d) 工程において、前記少なくとも1つの第2チップ部品を含む前記基板上の一部の領域のみが加熱される。

【0014】

請求項8に記載の発明は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、a) 基板上に複数の第1チップ部品を装着する工程と、b) 前記複数の第1チップ部品の前記基板とは反対側に少なくとも1つの第2チップ部品を装着する工程と、c) 導電性の接合材料を介して前記基板の電極上に前記複数の第1チップ部品の電極を固定するとともに、導電性の接合材料を介して前記複数の第1チップ部品の電極上に前記少なくとも1つの第2チップ部品の電極を固定する工程とを備え、前記複数の第1チップ部品に含まれる一の第1チップ部品および他の第1チップ部品の前記基板上における高さがほぼ等しく、前記b) 工程において、前記少なくとも1つの第2チップ部品に含まれるチップ部品の一方の電極が前記一の第1チップ部品の電極上に位置し、他方の電極が前記他の第1チップ部品の電極上に位置する。

【0015】

請求項 9 に記載の発明は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、a) 複数の第 1 チップ部品を保持する工程と、b) 前記複数の第 1 チップ部品上に少なくとも 1 つの第 2 チップ部品を装着する工程と、c) 導電性の接合材料を介して前記複数の第 1 チップ部品の電極上に前記少なくとも 1 つの第 2 チップ部品の電極を固定したチップ部品構造体を形成する工程と、d) 前記チップ部品構造体の前記複数の第 1 チップ部品側を基板に向けて、前記基板上に前記チップ部品構造体を装着する工程と、e) 導電性の接合材料を介して前記基板の電極上に前記複数の第 1 チップ部品の電極を固定する工程とを備え、前記複数の第 1 チップ部品に含まれる一の第 1 チップ部品および他の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記 b) 工程において、前記少なくとも 1 つの第 2 チップ部品に含まれるチップ部品の一方の電極が前記一の第 1 チップ部品の電極上に位置し、他方の電極が前記他の第 1 チップ部品の電極上に位置する。

【0016】

請求項 10 に記載の発明は、請求項 9 に記載のチップ部品実装方法であって、前記 a) 工程において、前記複数の第 1 チップ部品のそれぞれが、保持部の凹部に挿入されて保持される。

【0017】

請求項 11 に記載の発明は、請求項 6 ないし 10 のいずれかに記載のチップ部品実装方法であって、前記複数の第 1 チップ部品と前記少なくとも 1 つの第 2 チップ部品との間の前記接合材料が、接合前において、前記複数の第 1 チップ部品の電極上に形成されたはんだ層または前記少なくとも 1 つの第 2 チップ部品の電極上に形成されたはんだ層である。

【0018】

請求項 12 に記載の発明は、請求項 6 ないし 11 のいずれかに記載のチップ部品実装方法であって、前記基板上において前記複数の第 1 チップ部品および前記少なくとも 1 つの第 2 チップ部品の接合部を補強樹脂にて覆う工程をさらに備える。

【発明の効果】

【0019】

本発明によれば、チップ部品を基板に高密度に実装することができ、これにより、回路基板を小型化することができる。

【発明を実施するための最良の形態】

【0020】

図 1 は、本発明の一の実施の形態に係る回路基板 1 の一部を示す斜視図である。図 2 は、図 1 に示す構造の 3 方向から見た様子をまとめて示す図であり、正面図を左下に、平面図を左上に、側面図を右下に示している。

【0021】

図 1 および図 2 では、回路基板 1 が、基板 2 と、基板 2 上の 2 つのチップ部品（以下、「第 1 チップ部品」という。）3 a, 3 b と、第 1 チップ部品 3 a, 3 b 上の 1 つのチップ部品（以下、「第 2 チップ部品」という。）4 とを備える様子を示しており、第 1 チップ部品 3 a, 3 b および第 2 チップ部品 4 が、はんだ 70 a, 70 b を介して、基板 2 の表面に対して垂直な方向に 2 段に積み重ねられてブリッジ状に立体的に実装されている。なお、回路基板 1 の構造を明瞭に示すために、図 1 および図 2 において、はんだ 70 a, 70 b の輪郭を破線で示し、図 2 の右下部でははんだ 70 b の図示を省略し、左下部でははんだ 70 b の図示を省略し、左上部でははんだ 70 a, 70 b および基板 2 上の配線の図示を省略している。後述するように実際には第 1 チップ部品 3 a, 3 b および第 2 チップ部品 4 は接合を補強するための補強樹脂にて覆われている。

【0022】

基板 2 は、基板本体 21 の表面に導体の配線パターン 22 が形成された、いわゆる配線基板であり、配線パターン 22 の一部が電子部品の電極と接合される電極 23 となっている。基板本体 21 は、ガラスエポキシ樹脂やポリイミド樹脂等の樹脂あるいはセラミックにより板状またはフィルム状に形成されており、配線パターン 22 および電極 23 は、銅

により形成されている。

【0023】

第1チップ部品3a, 3bおよび第2チップ部品4は、表面実装技術においてパッケージ部品と対比されるいわゆるチップ部品である。チップ部品は典型的には長手方向の両端に電極を備えた略直方体状(角形)または円筒状の電子部品であるが、その他のチップ部品として、多数の微小部品をまとめた多連型(または、ネットワーク型)のチップ部品も知られている。

【0024】

図1および図2では、第1チップ部品3a, 3bはそれぞれ両端に電極31を備えた略直方体の同サイズのチップコンデンサであり、例えば、それぞれ長さが約0.6mm、幅が約0.3mm、高さ(高さ)が約0.3mmである。そして、電極31がはんだ70aにより基板2の電極23に接合されることにより、第1チップ部品3a, 3bが基板2上にはんだ70aを介して実装されている。

【0025】

第1チップ部品3aと第1チップ部品3bとは、平行に並んでおり(すなわち、両チップ部品の長手方向が同じ方向を向き、かつ、長手方向に垂直な方向に並んでおり)、基板2上における両チップ部品3a, 3bの高さがほぼ等しくされている。なお、基板2上における高さがほぼ等しいとは、チップ部品の製造誤差や実装誤差に起因する高さの差を無視すると、高さが等しいことを意味する。第1チップ部品3aと第1チップ部品3bとの間の間隙は、第2チップ部品4の長さよりも短く、約0.2mmとされている。

【0026】

第2チップ部品4は、第1チップ部品3a, 3bとは異種の部品あり、両端に電極41を備え、電極41間に抵抗体42(図1参照)を有する略直方体のチップ抵抗器である。第2チップ部品4は、第1チップ部品3a, 3bとはほぼ同じサイズであり、長さが約0.6mm、幅が約0.3mm、高さ(高さ)が約0.25mmとなっている。第2チップ部品4は、第1チップ部品3a, 3b上に(すなわち、第1チップ部品3a, 3bの基板2とは反対側に)はんだ70bを介して実装されており、一方の電極41が第1チップ部品3aの電極31にはんだ70bにより接合され、他方の電極41が第1チップ部品3bの電極31に接合される。これにより、第1チップ部品3a, 3bおよび第2チップ部品4を、はんだ70a, 70bを介して、基板2の表面に対して垂直な方向に2段に積み重ねてブリッジ状に立体的に実装した構造が構成される。なお、図示を省略しているが、回路基板1には、第1チップ部品3a, 3bおよび第2チップ部品4以外にも、他のチップ部品やパッケージ化された電子部品等が実装されている。

【0027】

また、第1チップ部品3a, 3bははんだ70aのみを介して基板2に直接実装され、第2チップ部品4ははんだ70bのみを介して第1チップ部品3a, 3bに直接実装されることから、チップ部品の構造体の高さは第1チップ部品3a, 3bの高さと第2チップ部品4の高さの和にほぼ等しく、必要最小限の高さに抑えられる。さらに、はんだのみを用いてチップ部品が積み上げられるため、製造コストの増大の防止も図られる。

【0028】

図3は、回路基板1を製造する際のチップ部品の実装方法を、第1チップ部品3a, 3bおよび第2チップ部品4の実装に注目して示すフローチャートである。また、図4. Aないし図4. Cは、第1チップ部品3a, 3bの実装の様子を示す図であり、図5. Aないし図5. Dは、第2チップ部品4の実装の様子を示す図である。以下、回路基板1を製造する際のチップ部品の実装方法について説明する。

【0029】

まず、図4. Aに示すように、基板本体21上に配線パターンが形成された基板2の各電極23上に、ペースト状のはんだ(以下、「第1はんだ」という。)71がスクリーン印刷により付与される(ステップS11)。第1はんだ71は、いわゆるクリームはんだであり、粉末状のはんだと粘性を有するフラックスとを混合してペースト状にしたもので

ある。

【0030】

続いて、図4．Bに示すように、基板2上の第1はんだ71上に第1チップ部品3a、3bが装着される（ステップS12）。このとき、必要に応じて、他のチップ部品81、82やパッケージ化された電子部品（図示省略）等も、第1チップ部品3a、3bと同様に第1はんだ71上に装着される。

【0031】

次に、基板2がリフロー装置へと搬入され、高温槽により第1はんだ71が加熱されて溶融し、フラックス成分が揮発してはんだ成分のみが残存し、その後、冷却により第1はんだ71を凝固させることにより、図4．Cに示すように、固体のはんだ70aとなって、基板2の電極23上に第1チップ部品3a、3bの電極31が電氣的に接合されるとともに機械的に固定され、第1チップ部品3a、3bの基板2への実装が完了する（ステップS13）。他のチップ部品81、82やパッケージ化された電子部品（図示省略）等も、第1チップ部品3a、3bと同様に基板2に固定される。

【0032】

次に、図5．Aに示すように、第1チップ部品3a、3bの電極31上に、ペースト状のクリームはんだである第2はんだ72が、スクリーン印刷または微細なノズルを用いて付与される（ステップS14）。続いて、図5．Bに示すように、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように第2はんだ72上に第2チップ部品4が装着される。すなわち、第1チップ部品3a、3bの間を繋ぐようにして基板2とは反対側に第2チップ部品4が装着される（ステップS15）。

【0033】

そして、基板2が再度リフロー装置へと搬入され、高温槽により第2はんだ72が溶融され、その後、冷却することにより、第2はんだ72が図5．Cに示すように、固体のはんだ70bとなって、第1チップ部品3a、3bの電極31と第2チップ部品4の電極41とを電氣的に接合するとともに機械的に固定する。これにより、第2チップ部品4が第1チップ部品3a、3b上に実装される（ステップS16）。

【0034】

なお、第2はんだ72を溶融させる際に一旦固化したはんだ70aが再溶融してもよいが、再溶融が好ましくない場合には、はんだ70a（すなわち、第1はんだ71）の再溶融温度よりも低い融点を有する第2はんだ72が使用され、2回目のリフロー温度は第2はんだ72は溶融するがはんだ70aは再溶融しない温度とされる。

【0035】

また、第2はんだ72を溶融させる際には、第2チップ部品4を含む基板2上の一領域のみが、熱風や光を用いて局所的に加熱されてもよい。これにより、基板2上の他の領域への影響を最小限に抑えつつ、第2チップ部品4を第1チップ部品3a、3b上に実装することができる。

【0036】

その後、図5．Dに示すように第1チップ部品3a、3bおよび第2チップ部品4を覆うように（アンダーフィルのみであってもよく、少なくとも電極同士の接合部を覆うように）、電極同士の接合を補強するための補強樹脂5（光や熱により硬化する樹脂、あるいは、自然に硬化する樹脂であってもよい。）がノズルを用いて塗布され（ステップS17）、補強樹脂の硬化が行われる（ステップS18）。これにより、第1チップ部品3a、3bおよび第2チップ部品4により構成される構造が補強され、回路基板1の信頼性が向上する。

【0037】

以上の工程を経ることにより、第1チップ部品3a、3bおよび第2チップ部品4の実装が完了し、はんだ70aにより基板2上に第1チップ部品3a、3bが実装され、はんだ70bにより第1チップ部品3a、3b上に第2チップ部品4が実装された回路基板1

が得られる（図1、図2および図5．C参照）。

【0038】

図6は、回路基板1を製造する際のチップ部品の他の実装方法を示すフローチャートであり、図6では、図3のステップS13が省略され、ステップS16に代えてステップS16aが実行される。また、図7．Aおよび図7．Bは図6に示す方法による実装の様子を示す図である。

【0039】

図6に示すチップ部品の実装方法では、まず、図3の場合と同様に基板2の電極23上に第1はんだ71が付与され、第1はんだ71を介して基板2上に第1チップ部品3a、3bが装着される（ステップS11、S12）。続いて、図7．Aに示すように、第1チップ部品3a、3bの電極31上に第2はんだ72が付与され、図7．Bに示すように第2はんだ72上に第2チップ部品4の電極41が位置するように、より具体的には、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように、第1チップ部品3a、3bの基板2とは反対側に第2チップ部品4が装着される（ステップS14、S15）。

【0040】

そして、基板2がリフロー装置へと搬入され、第1はんだ71および第2はんだ72の溶融および冷却による凝固が行われ、はんだ70aを介して基板2の電極23上に第1チップ部品3a、3bの電極31が電氣的に接合されて固定されるとともに、はんだ70bを介して第1チップ部品3a、3bの電極31上に第2チップ部品4の電極41が電氣的に接合されて固定され、図5．Cに示す回路基板1が得られる（ステップS16a）。その後、補強樹脂の塗布および補強樹脂の硬化が行われ、回路基板1が完成する（図3：ステップS17、S18）。

【0041】

図6に示すように、第1チップ部品3a、3bの基板2への固定と、第2チップ部品4の第1チップ部品3a、3bへの固定、すなわち、第1チップ部品3a、3bおよび第2チップ部品4の実装は、一括して行われてもよく、これにより、実装作業を効率よく行うことができる。

【0042】

図8は、チップ部品のさらに他の実装方法を示すフローチャートであり、図3のステップS14、S15に代えて行われる工程を示している。また、図9．Aおよび図9．Bは図8に示す方法における第2チップ部品4の実装の様子を示す図である。

【0043】

図8に示すチップ部品の実装方法では、まず、図3の場合と同様に基板2上に第1チップ部品3a、3bが実装され（図3：ステップS11～S13）、その後、図9．Aに示すように、第1チップ部品3a、3bの電極31上に、粘着性のフラックス73が微細なノズルを用いて（あるいは、スクリーン印刷により）付与される（ステップS14a）。続いて、図9．Bに示すように、第2チップ部品4が、一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように、フラックス73上に装着されて仮固定される（ステップS15a）。ここで、第2チップ部品4としては、電極41上には、メッキやディップ等の手法によりはんだ層43がプリコートとして形成されたものが利用される。

【0044】

そして、基板2がリフロー装置へと搬入され、高温槽によりはんだ層43が溶融され、その後、冷却することにより、はんだ層43が図5．Cに示すようにはんだ70bとなって、第1チップ部品3a、3bの電極31と第2チップ部品4の電極41とが電氣的に接合されるとともに機械的に固定される。これにより、第2チップ部品4が第1チップ部品3a、3b上に実装される（図3：ステップS16）。なお、基板2上の第2チップ部品4以外の領域への影響を最小限に抑えるために、はんだ層43を溶融させる際に、第2チップ部品4を含む基板2上の一部の領域のみが、熱風や光を用いて局所的に加熱されても

よい。その後、補強樹脂の塗布および補強樹脂の硬化が行われ、回路基板1が完成する（ステップS17, S18）。

【0045】

ここで、図6に示したチップ部品の実装方法におけるステップS14, S15が、図8に示すステップS14a, S15aに置き換えられてもよい。すなわち、第1チップ部品3a, 3bが第1はんだ71を介して基板2上に装着され、はんだ層43を有する第2チップ部品4が粘着性のフラックスを介して第1チップ部品3a, 3b上に装着された後に一括してリフローが行われてもよい。

【0046】

はんだ層43がプリコートされた第2チップ部品4を用いることにより、実装作業を簡素化することができる。なお、第1チップ部品3a, 3bが、はんだ層がプリコートされたものであってもよく、第1チップ部品3a, 3bと第2チップ部品4との間のはんだ70bは、接合前において、第1チップ部品3a, 3bの電極31上に形成されたはんだ層、または、第2チップ部品4の電極41上に形成されたはんだ層のいずれであってもよい。

【0047】

図10は、回路基板1を製造する際のチップ部品のさらに他の実装方法を、第1チップ部品3a, 3bおよび第2チップ部品4の実装に注目して示すフローチャートである。図11. Aないし図11. D並びに図12. Aないし図12. Cは、第1チップ部品3a, 3bおよび第2チップ部品4の実装の様子を示す図である。

【0048】

図10に示すチップ部品の実装方法では、まず、図11. Aに示すように、第1チップ部品3a, 3bのそれぞれが保持用ブロック90の凹部91に挿入され、凹部91の底面に形成された吸引口92から吸引が行われることによりこれらの部品が保持される（ステップS21）。第1チップ部品3a, 3bのそれぞれが凹部91に挿入されて保持される際に、これらの部品の挿入が容易に行え、かつ、正確に位置決めできるように、凹部91の断面形状は底に向かって幅が小さくなるテーパ状となっている。第1チップ部品3a, 3bを保持する際の両チップ部品の間隔は、図1における間隔と同じである。図11. Bに示すように、第1チップ部品3a, 3bの電極31上には、ペースト状のはんだ（以下、「第1はんだ」という。）74が、スクリーン印刷またはノズルを用いて付与される（ステップS22）。保持用ブロック90を利用することにより、はんだの付与を容易に行うことができる。

【0049】

続いて、図11. Cに示すように、第2チップ部品4の一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように、第2チップ部品4が第1チップ部品3a, 3b上の第1はんだ74上に装着される（ステップS23）。

【0050】

そして、保持用ブロック90がリフロー装置へと搬入され、第1はんだ74を加熱して溶融させた後冷却することにより、図11. Dに示すように、第1はんだ74が固体のはんだ70bとなって、第1チップ部品3a, 3bの電極31上に第2チップ部品4の電極41が電氣的に接合されるとともに機械的に固定される。これにより、第1チップ部品3a, 3bおよび第2チップ部品4がブリッジ状に固定されたチップ部品構造体10が形成される（ステップS24）。

【0051】

次に、図12. Aに示すように、基板2の電極23上に、ペースト状のはんだ（以下、「第2はんだ」という。）75が付与され（ステップS25）、図12. Bに示すように、第2はんだ75上に、第1チップ部品3a, 3b側を基板2に向けてチップ部品構造体10が基板2上に装着される（ステップS26）。このとき、必要に応じて、他のチップ部品81, 82やパッケージ化された電子部品（図示省略）等も、チップ部品構造体10

と同様に第2はんだ75上に装着される。

【0052】

そして、基板2がリフロー装置へと搬入され、第2はんだ75が加熱されて熔融し、さらに冷却により図12. Cに示すように、固体のはんだ70aとなって、基板2の電極23上にチップ部品構造体10の第1チップ部品3a, 3bの電極31が電氣的に接合されるとともに機械的に固定される。これにより、チップ部品構造体10が基板2に実装される(ステップS27)。他のチップ部品81, 82やパッケージ化された電子部品(図示省略)等も、チップ部品構造体10と同様に基板2に実装される。

【0053】

なお、第2はんだ75を熔融させる際に一旦固化したはんだ70bが再熔融してもよいが、再熔融が好ましくない場合には、はんだ70b(すなわち、第1はんだ74)の再熔融温度よりも低い融点を有する第2はんだ75が使用され、2回目のリフロー温度は第2はんだ75は熔融するがはんだ70bは再熔融しない温度とされる。

【0054】

その後、補強樹脂の塗布および補強樹脂の硬化が行われ、回路基板1が完成する(ステップS28, S29、図5. D参照)。

【0055】

以上の工程を経ることにより、第1チップ部品3a, 3bおよび第2チップ部品4の実装が完了し、はんだ70aを介して基板2上に第1チップ部品3a, 3bが実装され、はんだ70bを介して第1チップ部品3a, 3b上に第2チップ部品4が実装された回路基板1(図1、図2および図12. C参照)が得られる。

【0056】

図13は、チップ部品のさらに他の実装方法を示すフローチャートであり、図10のステップS22, S23に代えて行われる工程を示している。また、図14. Aおよび図14. Bは図13に示す方法におけるチップ部品構造体10を形成する様子を示す図である。

【0057】

図13に示すチップ部品の実装方法では、まず、図10の場合と同様に第1チップ部品3a, 3bが保持用ブロック90に保持され(図10: ステップS21)、その後、図14. Aに示すように、第1チップ部品3a, 3bの電極31上に、粘着性のフラックス76が微細なノズルを用いて(あるいは、スクリーン印刷により)付与される(図13: ステップS22a)。続いて、図14. Bに示すように、第2チップ部品4が、一方の電極41が第1チップ部品3aの電極31上に位置し、他方の電極41が第1チップ部品3bの電極31上に位置するように、フラックス76上に装着されて仮固定される(ステップS23a)。ここで、第2チップ部品4としては、電極41上にははんだ層43が形成されたものが利用される。

【0058】

そして、保持用ブロック90がリフロー装置へと搬入され、高温槽によりはんだ層43が熔融され、その後、冷却することにより、はんだ層43が図11. Dに示すようにはんだ70bとなって、第1チップ部品3a, 3bの電極31と第2チップ部品4の電極41とが電氣的に接合されるとともに機械的に固定される。これにより、第2チップ部品4が第1チップ部品3a, 3b上に実装され、チップ部品構造体10が形成される(図11: ステップS24)。はんだ層がプリコートされた第2チップ部品4を用いることにより、チップ部品構造体10の形成作業が簡素化される。以後、図10の場合と同様にチップ部品構造体10が基板2上に実装されて回路基板1が製造される(ステップS25~S29)。

【0059】

以上、回路基板1の構造およびチップ部品の実装方法について説明してきたが、回路基板1では、第1チップ部品3a, 3b上に第2チップ部品4が積み重ねるようにして立体的に実装される。これにより、実装に利用される空間を有効に活用して、チップ部品を基

板 2 上に高密度に実装することができ、回路基板 1 を小型化することができる。

【0060】

例えば、図 15. A に示すように、第 1 チップ部品 3 a, 3 b、第 2 チップ部品 4、および他のパッケージ化された電子部品 8 5, 8 6 を基板 2 に実装した場合、第 1 チップ部品 3 a, 3 b および第 2 チップ部品 4 の上に空間が余る状態になり、実装に必要な空間が大きくなる。これに対して、図 15. B に示す回路基板 1 のように、第 1 チップ部品 3 a, 3 b 上に第 2 チップ部品 4 を実装した場合、第 2 チップ部品 4 の上面の高さがパッケージ化された電子部品 8 5, 8 6 の高さ程度に納まることにより、基板 2 上の空間を有効活用してチップ部品を高密度に実装することができ、回路基板 1 の厚さを大幅に増すことなく、回路基板 1 の面積を小さくすることができる。

【0061】

また、回路基板 1 では、第 1 チップ部品 3 a と第 1 チップ部品 3 b の基板 2 上における高さがほぼ等しくれるため、第 2 チップ部品 4 を第 1 チップ部品 3 a, 3 b 上に安定して積み重ねることができる。これにより、実装不良を抑えることができ、回路基板 1 の信頼性を高めることができる。

【0062】

図 1 6 ないし図 2 2 は、基板 2 上にチップ部品が積層される回路基板 1 の他の例を示す図であり、それぞれ図 2 と同様に 3 方向から見た様子をまとめて示しており、正面図を左下に、平面図を左上に、側面図を右下に示している。また、これらの図では、はんだ 7 0 a, 7 0 b の輪郭を破線で示しており、図 1 6 ないし図 1 9 では、右下部においてはんだ 7 0 b の図示を省略し、左下部においてはんだ 7 0 a の図示を省略し、左上部においてはんだ 7 0 a, 7 0 b および基板 2 上の配線の図示を省略している。さらに、積層されるチップ部品は実際には補強樹脂にて覆われる。

【0063】

図 1 6 に示す回路基板 1 では、2 つの第 1 チップ部品 3 a, 3 b および 2 つの第 2 チップ部品 4 a, 4 b が、基板 2 の表面に対して垂直な方向に 2 段に積み重ねてブリッジ状に立体的に実装されている。図 1 6 に示す例では、第 1 チップ部品 3 a, 3 b はチップコンデンサであり、第 2 チップ部品 4 a, 4 b はチップ抵抗器である。第 1 チップ部品 3 a, 3 b は、図 2 と同様に、基板 2 上に長手方向が平行となるように並んで配置され、それぞれの電極 3 1 が基板 2 の電極 2 3 上にはんだ 7 0 a を介して接合されることにより実装される。また、基板 2 上において第 1 チップ部品 3 a, 3 b の高さはほぼ等しくなっている。

【0064】

第 2 チップ部品 4 a, 4 b は、第 1 チップ部品 3 a, 3 b 上にはんだ 7 0 b を介して実装されている。第 2 チップ部品 4 a は、一方の電極 4 1 が第 1 チップ部品 3 a の一方の電極 3 1 に接合され、他方の電極 4 1 が第 1 チップ部品 3 b の一方の電極 3 1 に接合されている。第 2 チップ部品 4 b は、一方の電極 4 1 が第 1 チップ部品 3 a の他方の電極 3 1 に接合され、他方の電極 4 1 が第 1 チップ部品 3 b の他方の電極 3 1 に接合されている。図 1 6 に示すように、2 つの第 1 チップ部品 3 a, 3 b 上に実装される第 2 チップ部品は 2 つであってもよく、これにより、さらなる高密度実装が実現される。また、第 2 チップ部品の数や配置を変更して第 1 チップ部品と第 2 チップ部品との接続関係を容易に変更することができ、回路の設計変更にも柔軟に対応することができる。

【0065】

図 1 7 に示す回路基板 1 では、2 つの第 1 チップ部品 3 a, 3 b が第 2 チップ部品 4 a, 4 b よりも相対的に大きいという点を除いて図 1 6 と同様である。すなわち、第 1 チップ部品 3 a, 3 b の電極 3 1 が基板 2 の電極 2 3 上に接合されて固定されることにより、第 1 チップ部品 3 a, 3 b は、それぞれ基板 2 上にはんだ 7 0 a を介して長手方向が平行となるように長手方向に対して垂直な方向に並んで実装され、第 2 チップ部品 4 a, 4 b の電極 4 1 が第 1 チップ部品 3 a, 3 b の電極 3 1 上に接合されて固定されることにより、第 2 チップ部品 4 a, 4 b は、それぞれ第 1 チップ部品 3 a, 3 b 上にはんだ 7 0 b を

介して長手方向が第1チップ部品3a, 3bに対して垂直となるように平行に並んで実装される。このように、第1チップ部品の高さがほぼ等しくされるのであるならば、第1チップ部品や第2チップ部品として様々な大きさものが用いられてよい。

【0066】

図18に示す回路基板1では、図2の場合と同様に、2つの第1チップ部品3a, 3bが、基板2上に長手方向が平行となるように並んで配置され、それぞれの電極31が基板2の電極23にはんだ70aを介して接合されることにより実装される。そして、2つの第1チップ部品3a, 3b上に、すなわち、基板2の表面に対して垂直な方向に2段に積み重なるように第2チップ部品4がはんだ70bを介して立体的に実装されている。ここで、第2チップ部品4は図2に示すものよりも大きなものとされ、一方の電極41が第1チップ部品3aの2つの電極31の両方に接続され、他方の電極41が第1チップ部品3bの2つの電極31の両方に接続される。このように、積層されるチップ部品間において、1つの電極が2つの電極に接続されてもよい。

【0067】

図19および図20は、図2に示す回路基板1に対して第1チップ部品3a, 3bの配置を変えたものを例示する図である。なお、図20でははんだ70a, 70bを左下部に示している。図19は、図2に示す第1チップ部品3a, 3bのうち、一方を長手方向に沿って移動させたものであり、図20は、2つの第1チップ部品3a, 3bを一直線上に配列したものを示している。図19および図20に示す回路基板1では、第1チップ部品3a, 3bの配置が異なるという点を除いて図2に示すものと同様であり、同符号を付している。

【0068】

すなわち、基板2の電極23上に第1チップ部品3a, 3bの電極31がはんだ70aを介して固定されることにより第1チップ部品3a, 3bが実装され、第1チップ部品3a, 3bの電極31上に第2チップ部品4の電極41がはんだ70bを介して固定されることにより第2チップ部品4が実装される。また、第2チップ部品4の一方の電極41は第1チップ部品3aの電極31に接合され、他方の電極41は第1チップ部品3bの電極31に接合される。このように、第2チップ部品4の電極を異なる第1チップ部品3a, 3bにそれぞれ接合したブリッジ構造により、チップ部品の向きや相対的な位置関係を容易に変更することが可能とされる。

【0069】

図21に回路基板1では、1つの第1チップ部品3および1つの第2チップ部品4が、基板2の表面に対して垂直方向に2段に積み重ねて立体的に実装されている。図21に示す例では、第1チップ部品3はチップコンデンサであり、第2チップ部品4はチップ抵抗器であり、第1チップ部品3と第2チップ部品4とは異なるサイズである。

【0070】

図21に示す回路基板1においても、第1チップ部品3が基板2の電極23上にはんだ70aを介して実装され、第2チップ部品4が第1チップ部品3の電極31上にはんだ70bを介して実装される。すなわち、第2チップ部品4は、一方の電極41が第1チップ部品3の一方の電極31に接続され、他方の電極41は、第1チップ部品3の他方の電極31に接続される。このように、第1チップ部品3と第2チップ部品4とはそれぞれ1つであってもよい。この場合であっても、大きさまたは機能が異なる異種部品を積み上げることにより、回路基板上の様々な箇所での回路構造の立体化を促進することができ、回路基板の小型化が実現される。

【0071】

図22に示す回路基板1では、第2チップ部品4として多連型のチップ部品が利用される。図22では、第2チップ部品4として4つの電極41を有するものが例示されている。第1チップ部品3a, 3bの配置は図2の場合と同様である。第1チップ部品3a, 3bは、電極31が基板2の電極23に接合されることによりはんだ70aを介して実装され、第2チップ部品4は、各電極41が2つの第1チップ部品3a, 3bの各電極31に

はんだ70bを介して接合されることにより第1チップ部品3a, 3b上に実装される。このように、チップ部品としては多連型のものが用いられてもよく、電極の数は2つには限定されない。なお、第1チップ部品として多連型のチップ部品が用いられてもよい。

【0072】

図16ないし図22に示す回路基板1は、いずれも図3、図6、図8、図10または図13に示した方法によって製造することができる。そして、第2チップ部品を第1チップ部品上に基板2に対して垂直な方向に積み重ねるようにして実装することにより、図1および図2に示す回路基板1と同様に、実装に利用される空間を有効に利用することができ、回路基板1の小型化が実現される。さらに、異種部品を積み上げて、すなわち、基板2上に実装される少なくとも1つの第1チップ部品に含まれる一の第1チップ部品と、この第1チップ部品の電極に接合される第2チップ部品とを異種部品とすることにより、回路構造の柔軟な立体化が実現され、回路基板1の大幅な小型化が実現される。

【0073】

以上、本発明の実施の形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、様々な変形が可能である。

【0074】

基板2上に実装される第1チップ部品や第1チップ部品上に実装される第2チップ部品は、典型的には、チップ抵抗器、チップコンデンサまたはチップインダクタであるが、他の機能を有するチップ部品であってもよく、また、既述のように、多連チップ抵抗器、チップ形ネットワーク等の多連型（同種のチップ部品を連結したものであってもよく、異種のチップ部品を連結したものであってもよい。）のチップ部品であってもよい。なお、多連型のチップ部品の場合は、電極は必ずしも長手方向の端部には存在しない。さらに、メルフ形抵抗器や円筒形チップ抵抗器のように略直方体ではないチップ部品が利用されてもよい。

【0075】

第1チップ部品および第2チップ部品の大きさは様々なものであってもよいが、通常、長さが2mm以下の微細なチップ部品は1つの基板に多数実装され、かつ、これらのチップ部品の高さは通常1mm以下であり、2段に積層する程度では回路基板の高さに影響を与えない。したがって、チップ部品の積み重ねは、長さが2mm以下の微細なチップ部品に対して行われることが好ましいといえる。

【0076】

上記実施の形態では、ペースト状のはんだを用いて基板2上に第1チップ部品が実装されるが、第1チップ部品にプリコーティングにより形成されたはんだ層を設けてはんだ層を利用した実装が行われてもよい。さらには、銀ペースト、導電性樹脂などの導電性の他の接合材料を用いて第1チップ部品の実装や第2チップ部品の実装が行われてもよい。また、例えば、熱硬化性の接着樹脂を用いる場合のように、チップ部品の装着と固定とが同時に行われてもよい。この場合、装着時点でチップ部品の実装が完了することとなる。

【0077】

第1チップ部品および第2チップ部品は3以上であってもよく、これらのチップ部品は様々な配置されてよい。すなわち、複数の第1チップ部品が基板2に実装され、少なくとも1つの第2チップ部品が第1チップ部品の上に実装され、このとき、少なくとも1つの第2チップ部品に含まれるチップ部品の一方の電極が一の第1チップ部品の電極に接合され、他方の電極が他の第1チップ部品の電極に接合されることにより、回路構造が高度に立体化され、チップ部品の高密度実装が実現される。また、第2チップ部品を支える2つの第1チップ部品の基板上における高さをほぼ等しくすることにより、安定した構造が形成される。回路基板1上には第1チップ部品および第2チップ部品を2段に積み重ねて実装した構造以外に、チップ部品を3段以上に積み重ねて実装した構造が設けられてもよい。

【産業上の利用可能性】

【0078】

本発明は、配線パターンが形成された基板にチップ部品を実装する技術に利用することができる。

【図面の簡単な説明】

【0079】

- 【図1】 回路基板の一部を示す斜視図
- 【図2】 回路基板上の構造を示す図
- 【図3】 チップ部品の実装方法を示すフローチャート
- 【図4. A】 第1チップ部品の実装を示す図
- 【図4. B】 第1チップ部品の実装を示す図
- 【図4. C】 第1チップ部品の実装を示す図
- 【図5. A】 第2チップ部品の実装を示す図
- 【図5. B】 第2チップ部品の実装を示す図
- 【図5. C】 第2チップ部品の実装を示す図
- 【図5. D】 第2チップ部品の実装を示す図
- 【図6】 チップ部品の他の実装方法を示すフローチャート
- 【図7. A】 第1および第2チップ部品の実装を示す図
- 【図7. B】 第1および第2チップ部品の実装を示す図
- 【図8】 チップ部品のさらに他の実装方法を示すフローチャート
- 【図9. A】 第2チップ部品の実装を示す図
- 【図9. B】 第2チップ部品の実装を示す図
- 【図10】 チップ部品のさらに他の実装方法を示すフローチャート
- 【図11. A】 チップ部品構造体の形成を示す図
- 【図11. B】 チップ部品構造体の形成を示す図
- 【図11. C】 チップ部品構造体の形成を示す図
- 【図11. D】 チップ部品構造体の形成を示す図
- 【図12. A】 チップ部品構造体の実装を示す図
- 【図12. B】 チップ部品構造体の実装を示す図
- 【図12. C】 チップ部品構造体の実装を示す図
- 【図13】 チップ部品のさらに他の実装方法を示すフローチャート
- 【図14. A】 チップ部品構造体の形成を示す図
- 【図14. B】 チップ部品構造体の形成を示す図
- 【図15. A】 積み重ねられなかった場合のチップ部品を示す図
- 【図15. B】 積み重ねられたチップ部品を示す図
- 【図16】 回路基板上の構造の他の例を示す図
- 【図17】 回路基板上の構造の他の例を示す図
- 【図18】 回路基板上の構造の他の例を示す図
- 【図19】 回路基板上の構造の他の例を示す図
- 【図20】 回路基板上の構造の他の例を示す図
- 【図21】 回路基板上の構造の他の例を示す図
- 【図22】 回路基板上の構造の他の例を示す図

【符号の説明】

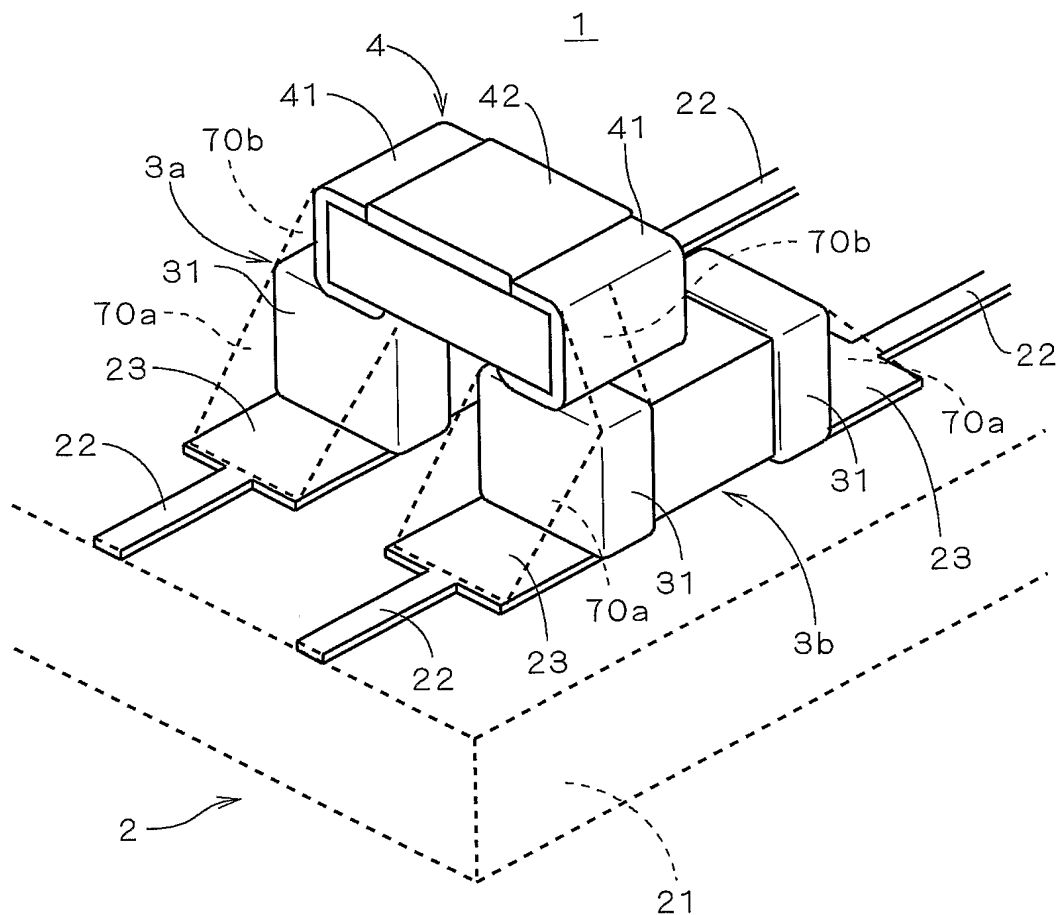
【0080】

- 1 回路基板
- 2 基板
- 3, 3 a, 3 b 第1チップ部品
- 4, 4 a, 4 b 第2チップ部品
- 5 補強樹脂
- 22 配線パターン
- 23, 31, 41 電極
- 70 a、70 b はんだ

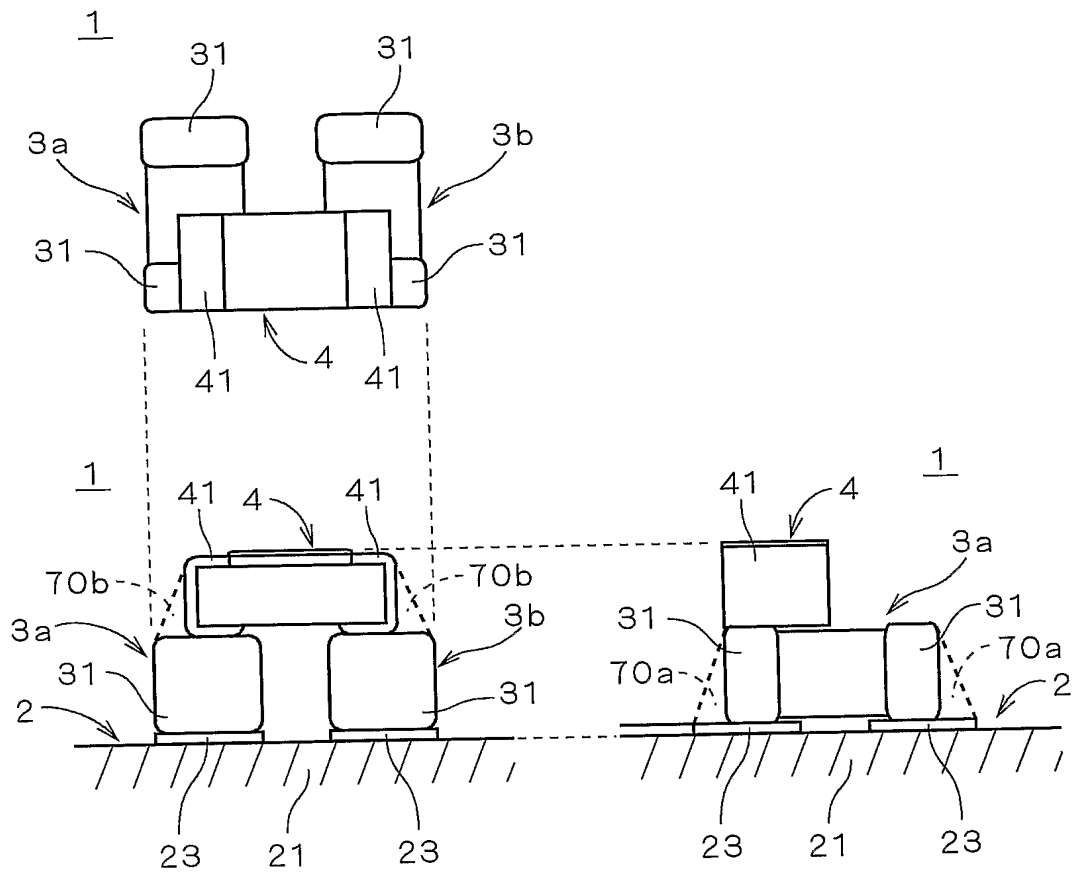
S 1 1 ~ S 1 8, S 1 4 a ~ S 1 6 a, S 2 1 ~ S 2 9 ステップ

【書類名】 図面

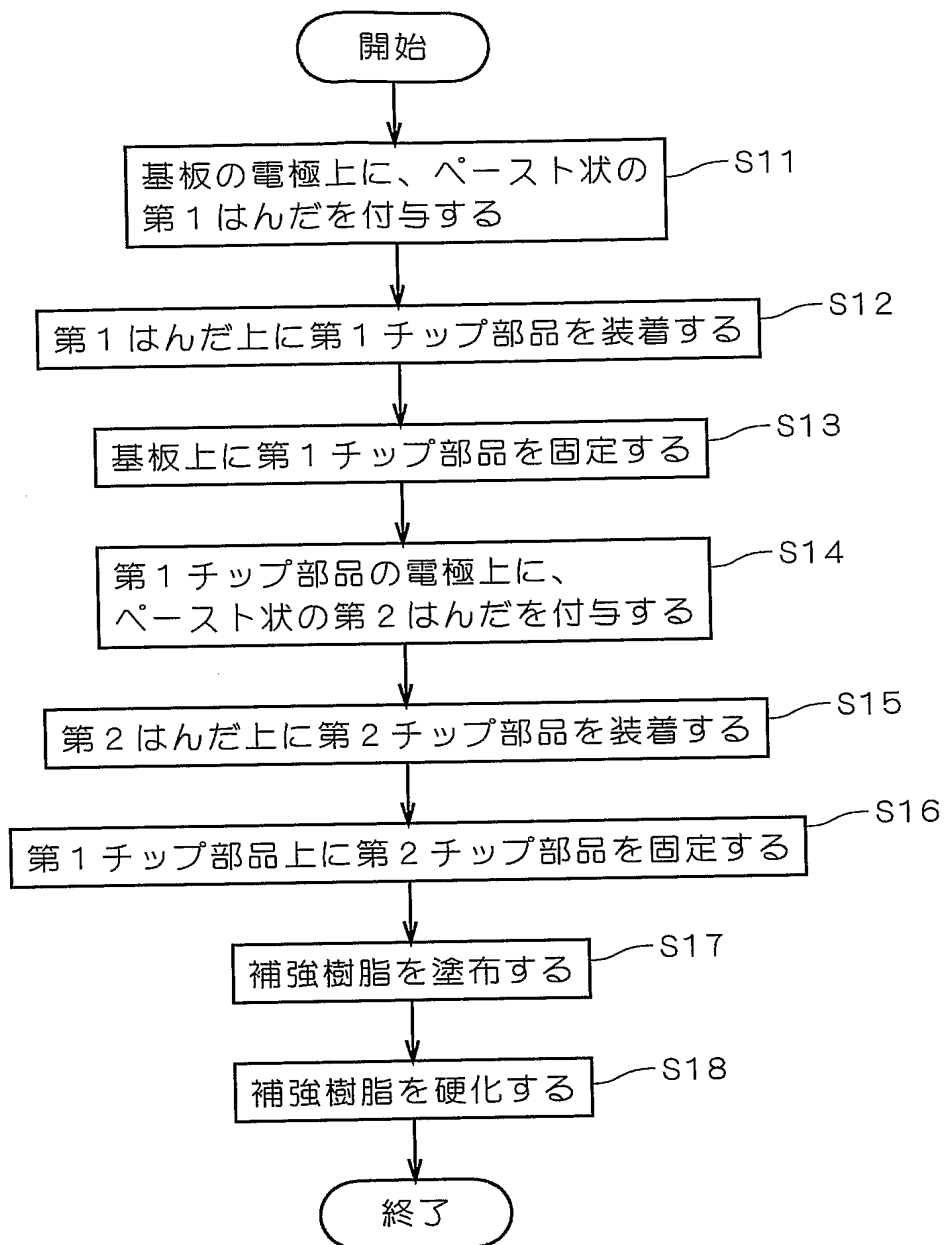
【図 1】



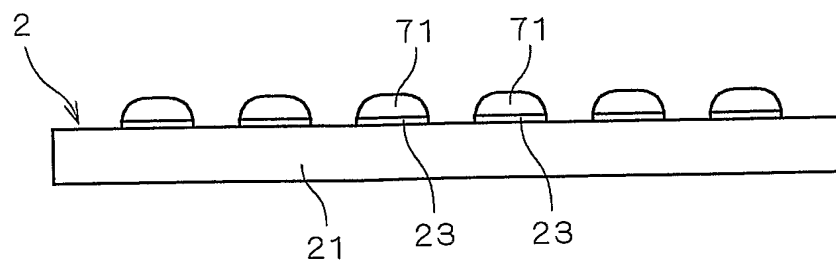
【図 2】



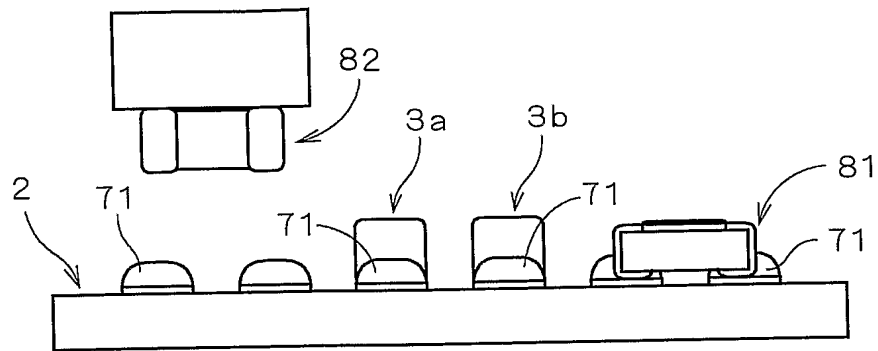
【図3】



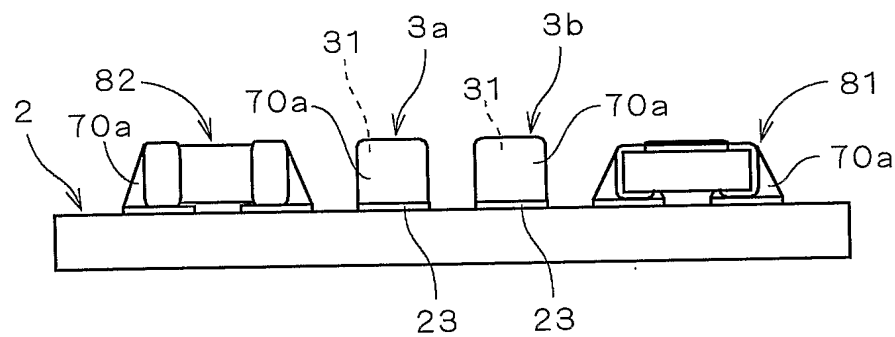
【図4. A】



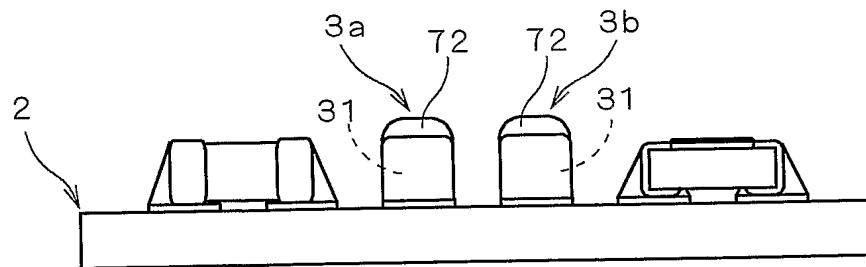
【図 4. B】



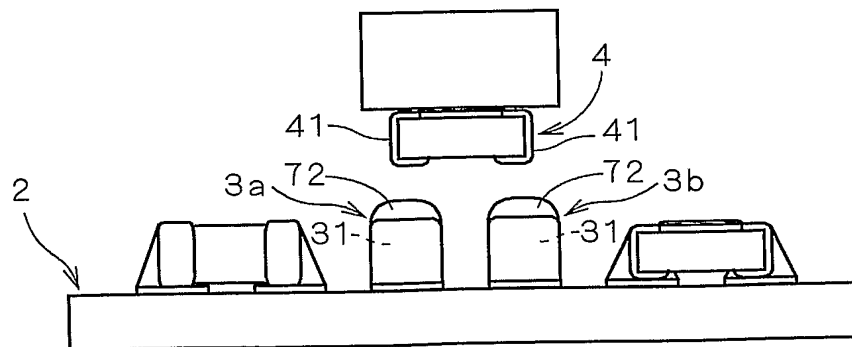
【図 4. C】



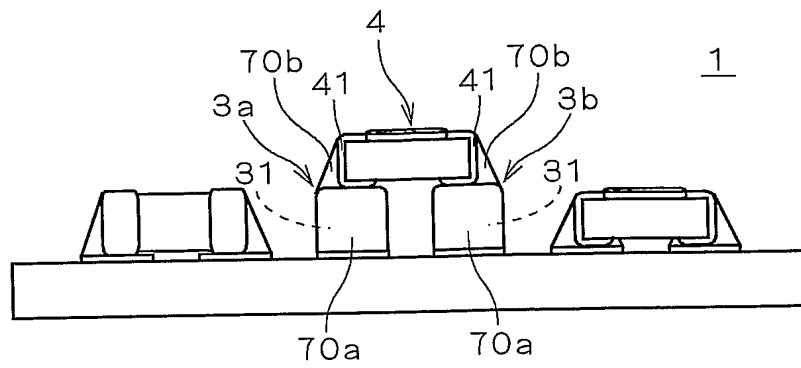
【図 5. A】



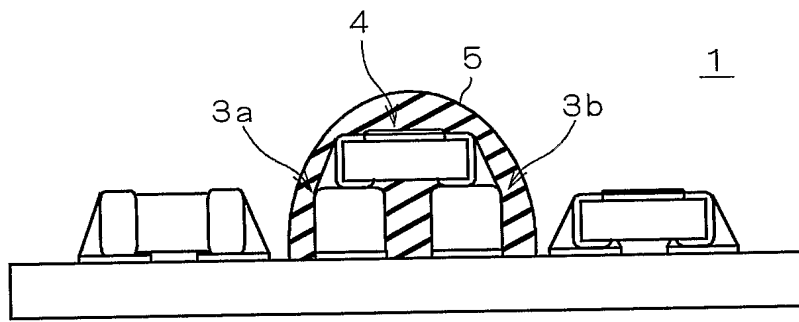
【図 5. B】



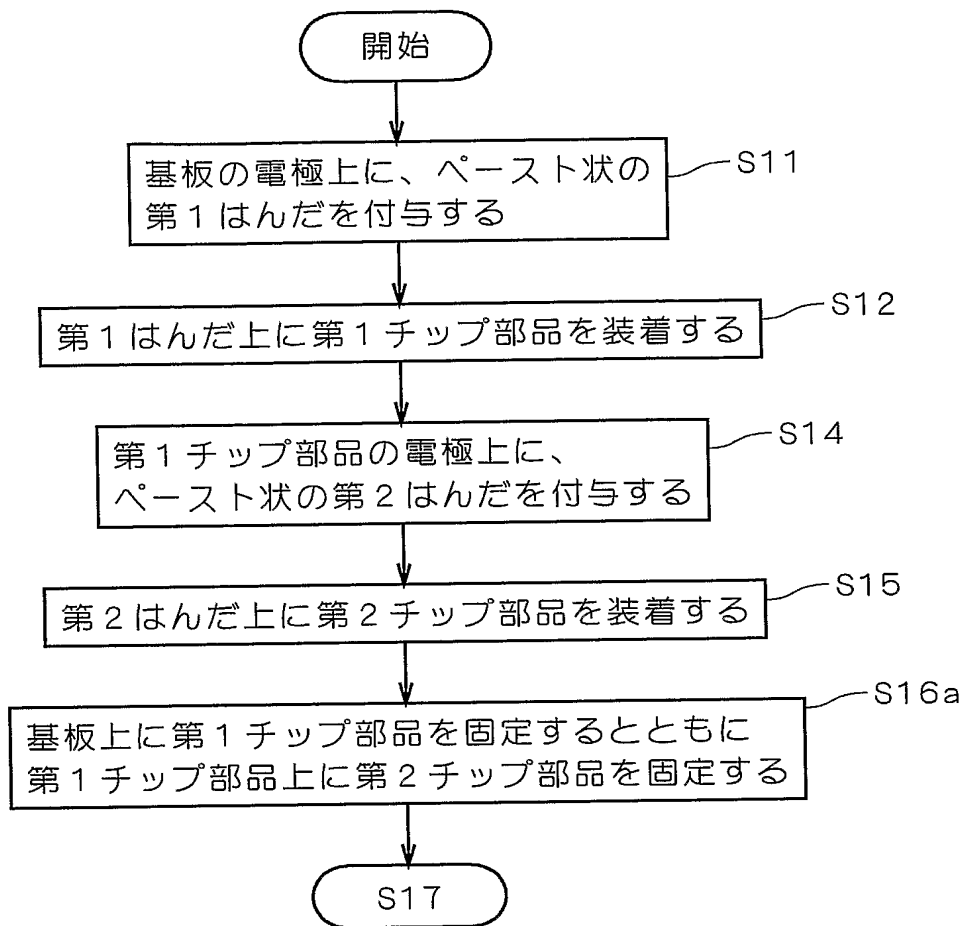
【図 5. C】



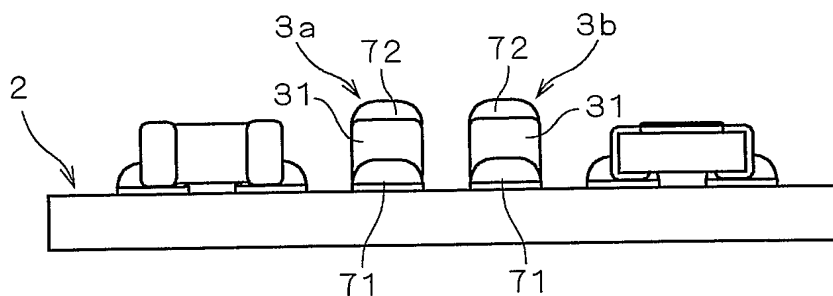
【図 5. D】



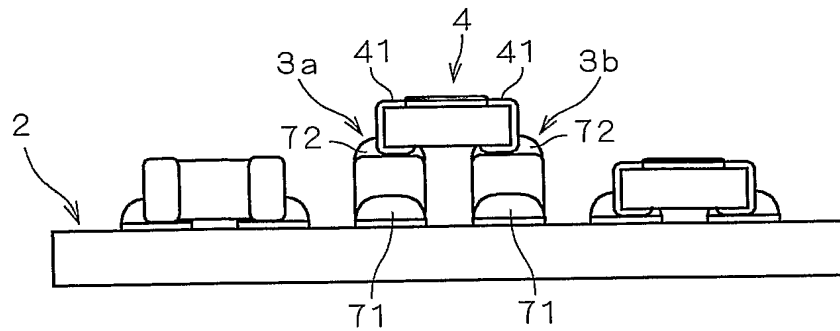
【図 6】



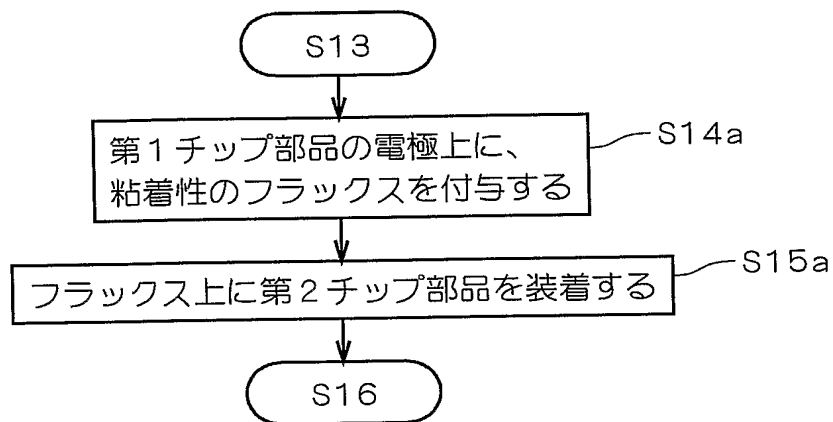
【図 7. A】



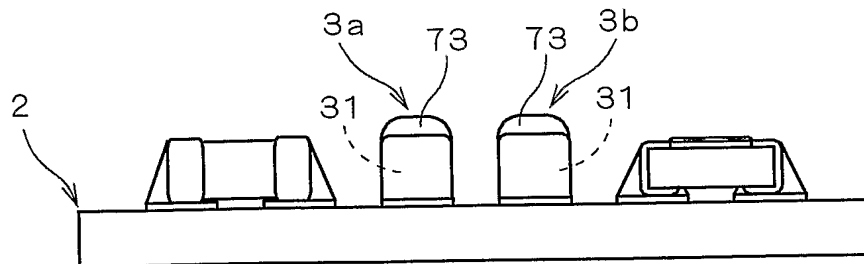
【図 7. B】



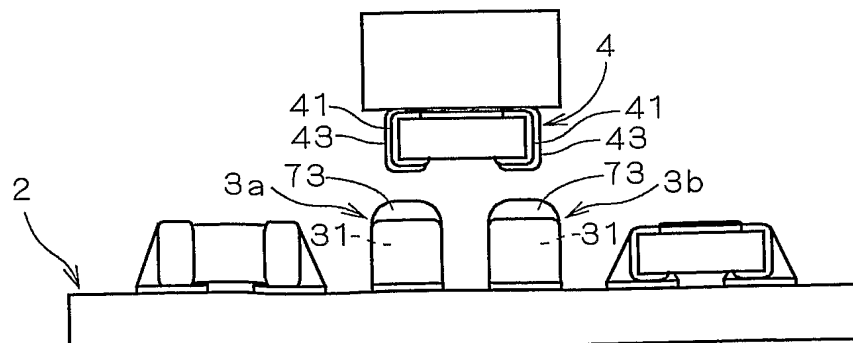
【図 8】



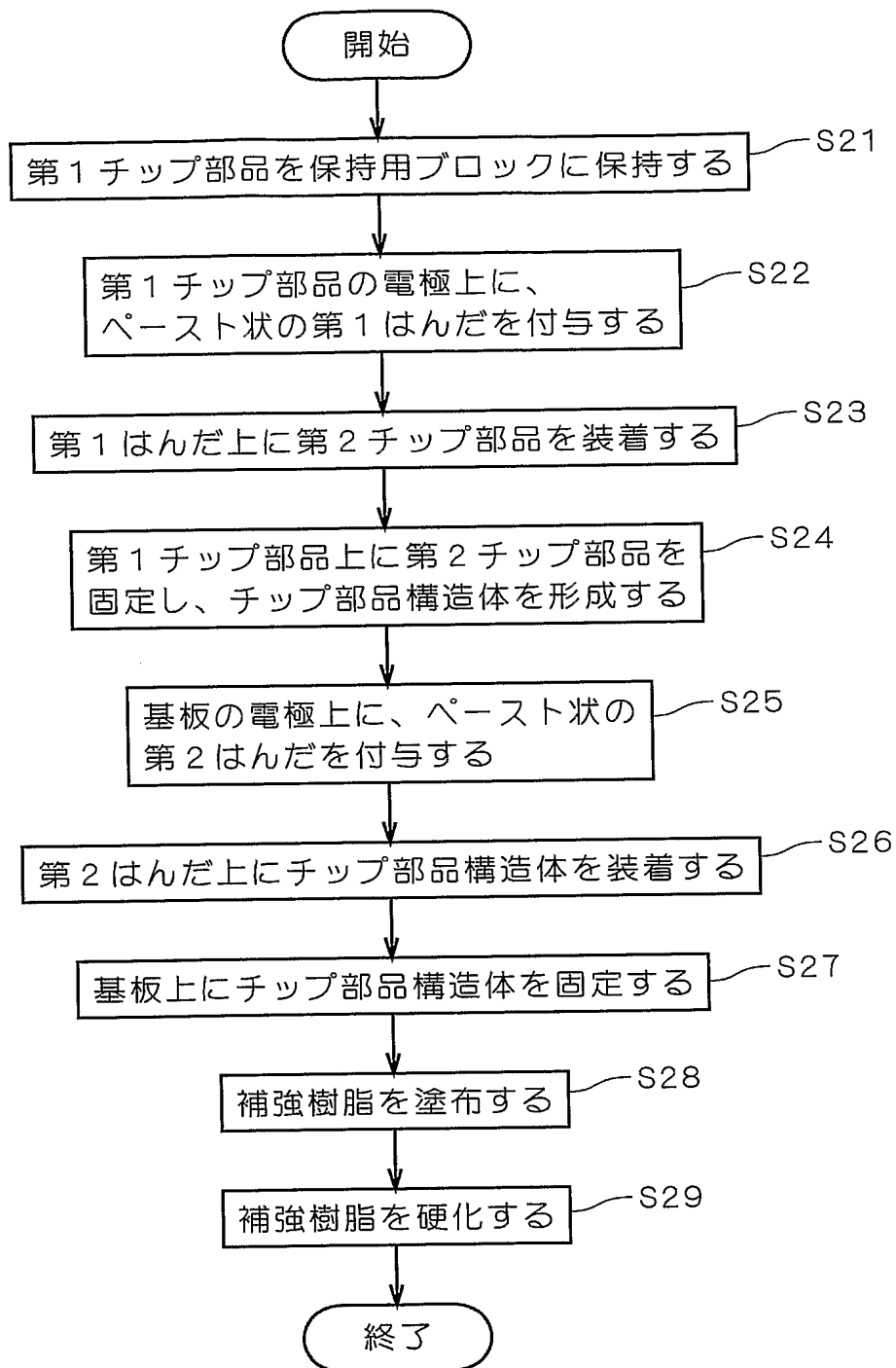
【図 9. A】



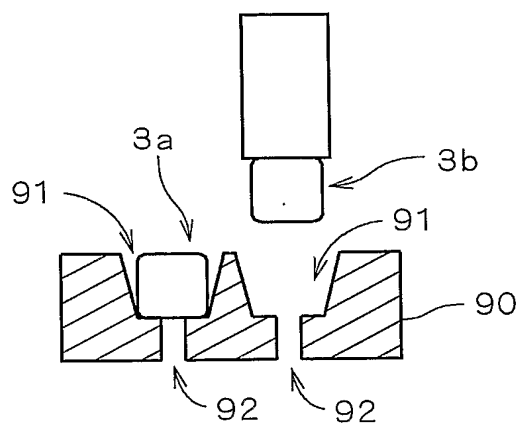
【図 9. B】



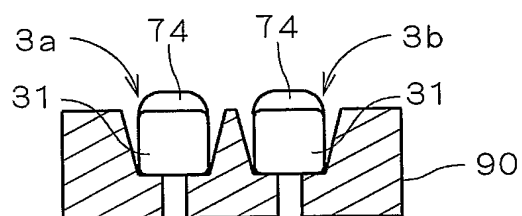
【図 10】



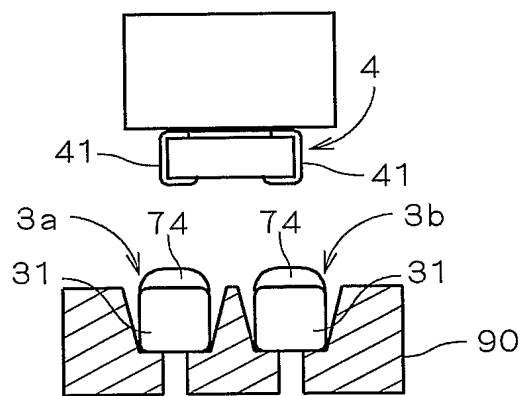
【図 11. A】



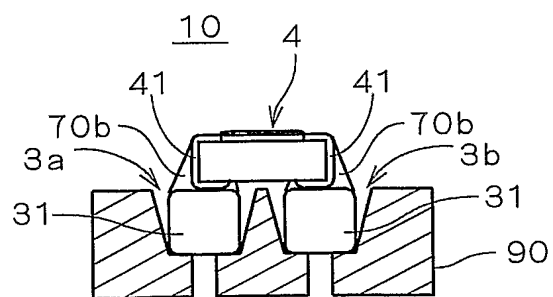
【図 11. B】



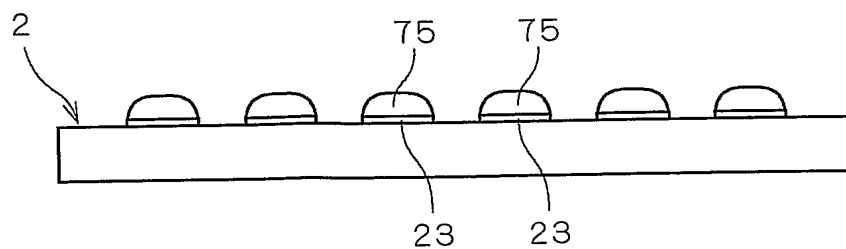
【図 11. C】



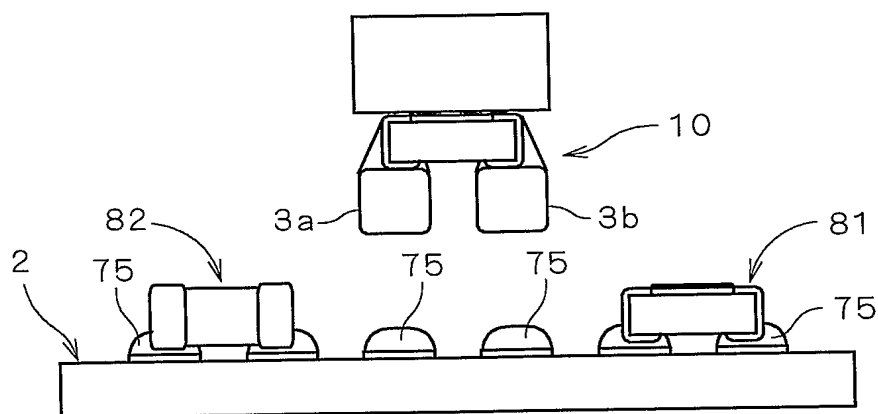
【図 11. D】



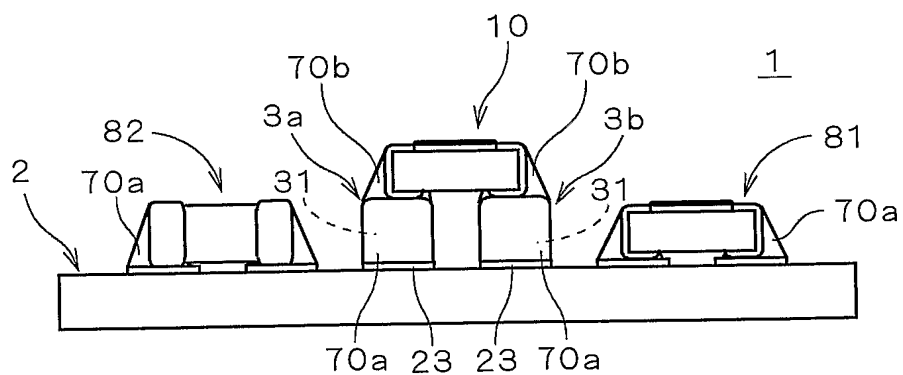
【図 12. A】



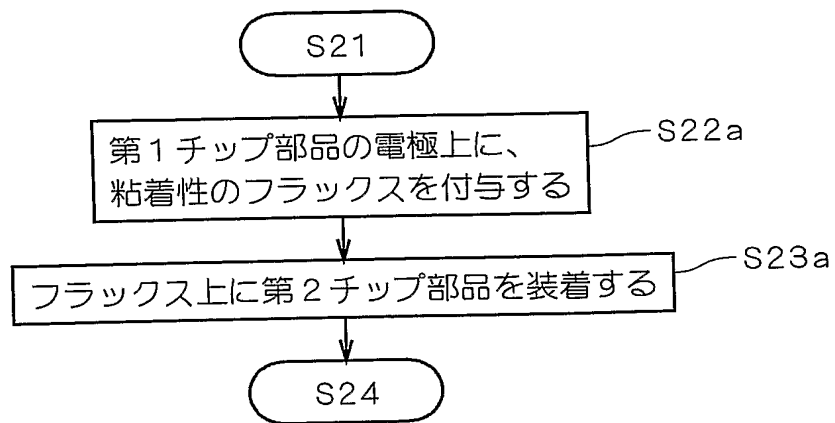
【図 12. B】



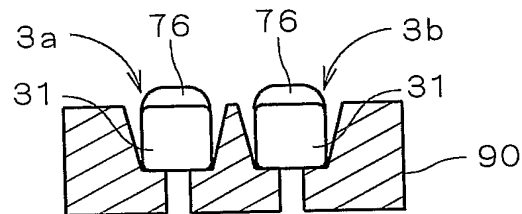
【図 12. C】



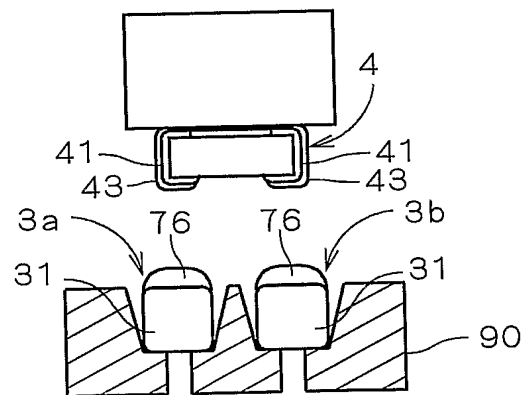
【図 13】



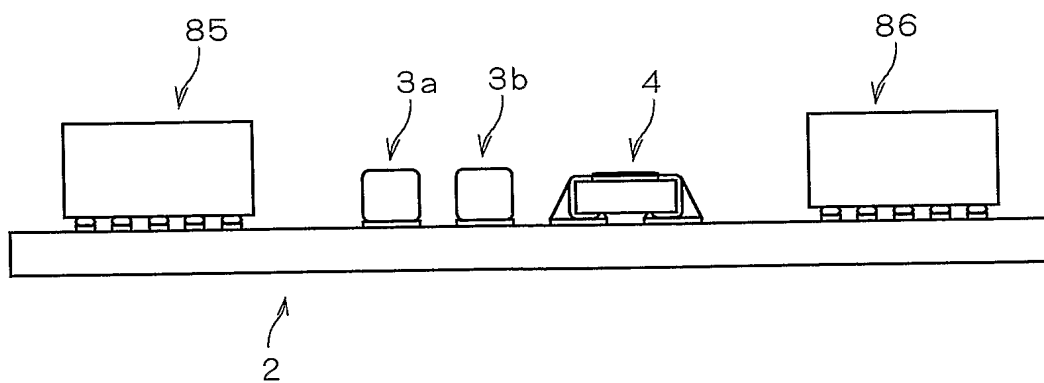
【図 14. A】



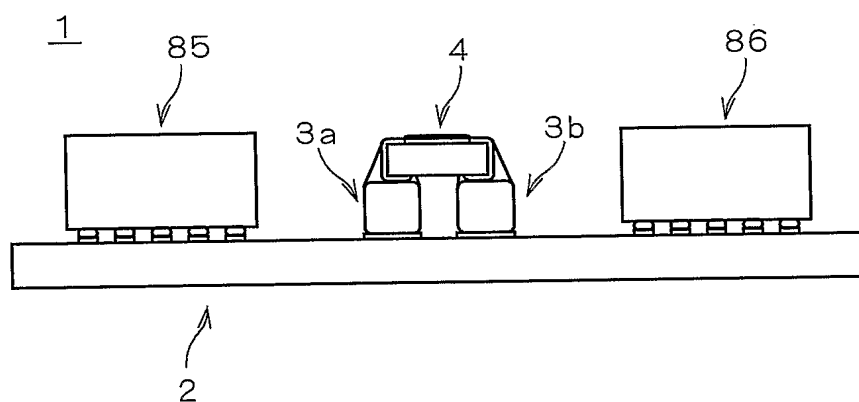
【図 14. B】



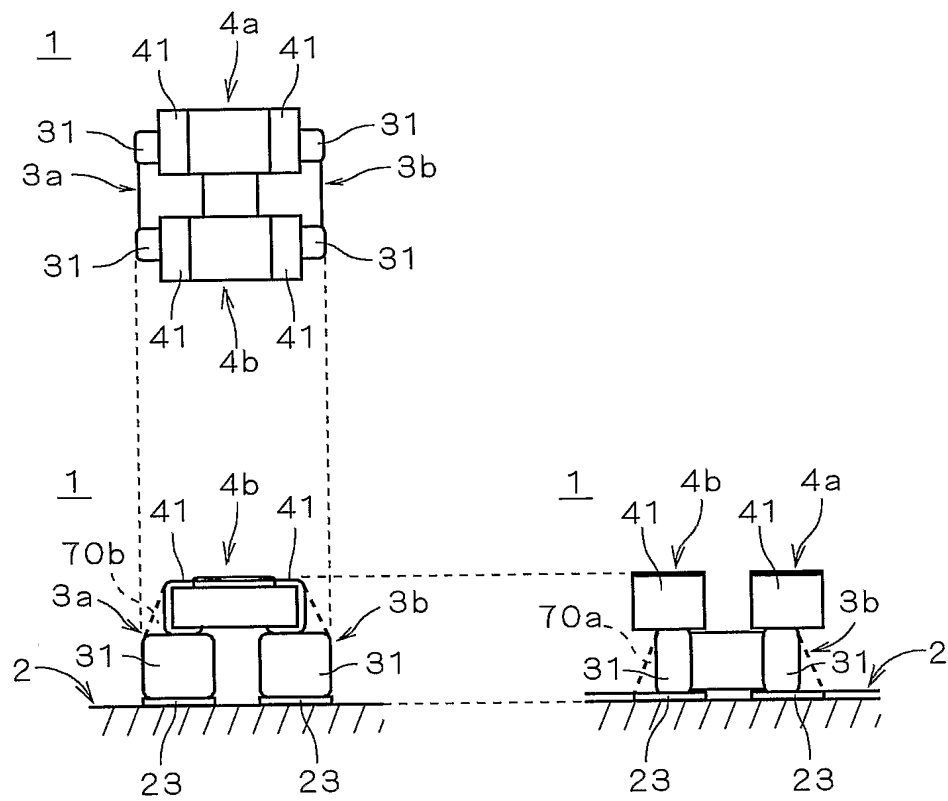
【図 15. A】



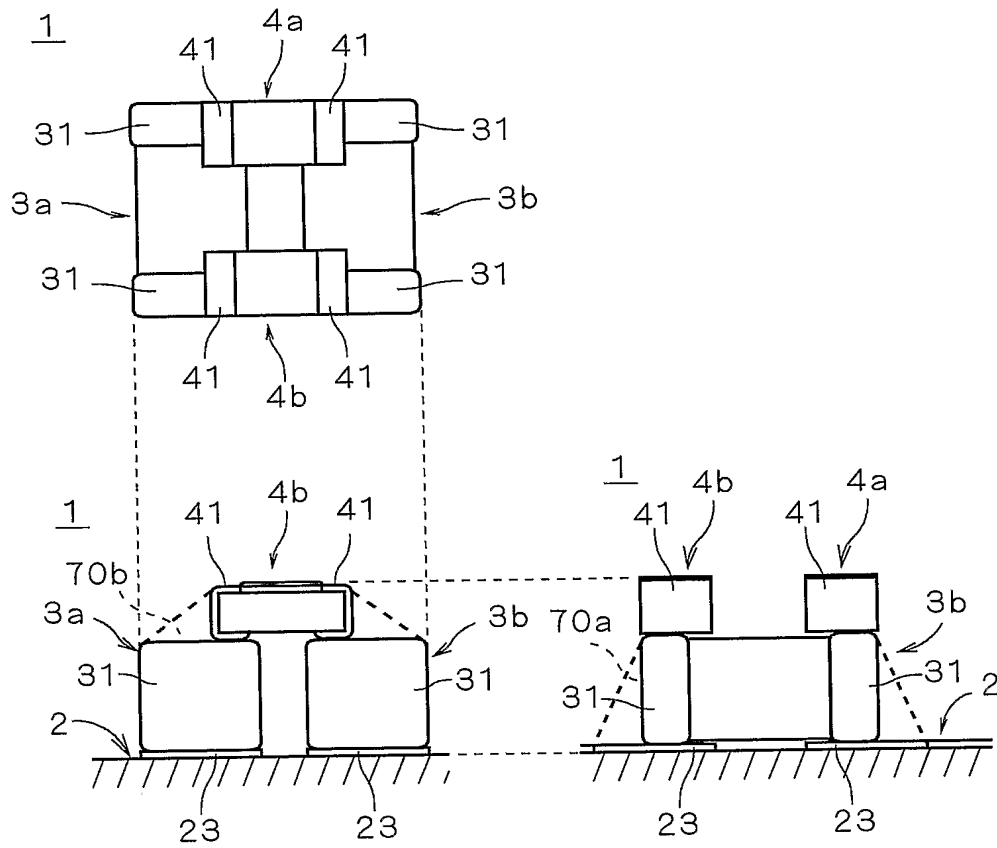
【図 15. B】



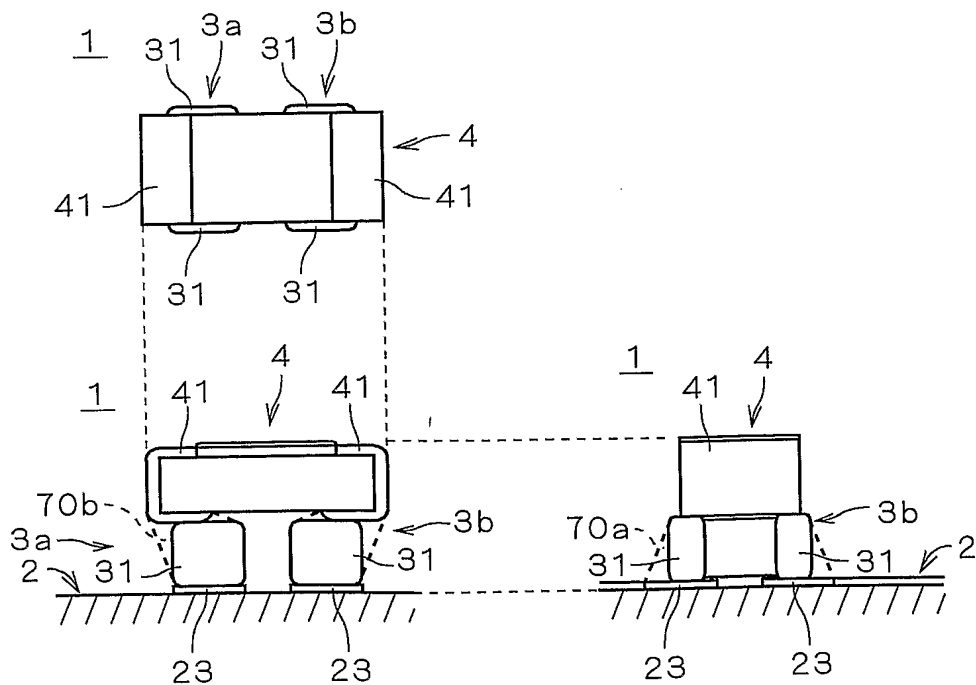
【図 16】



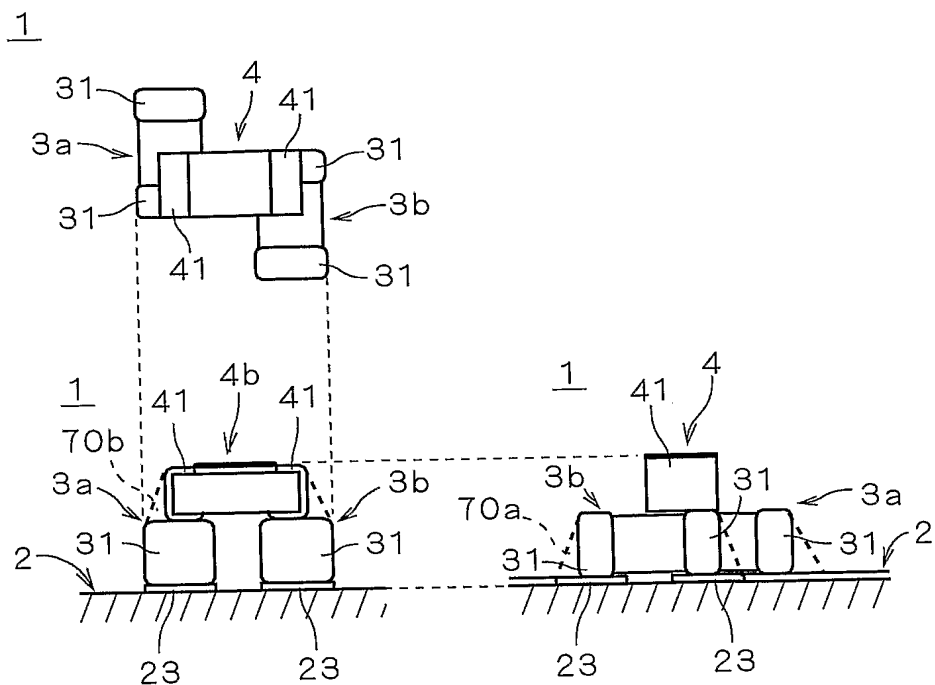
【図 17】



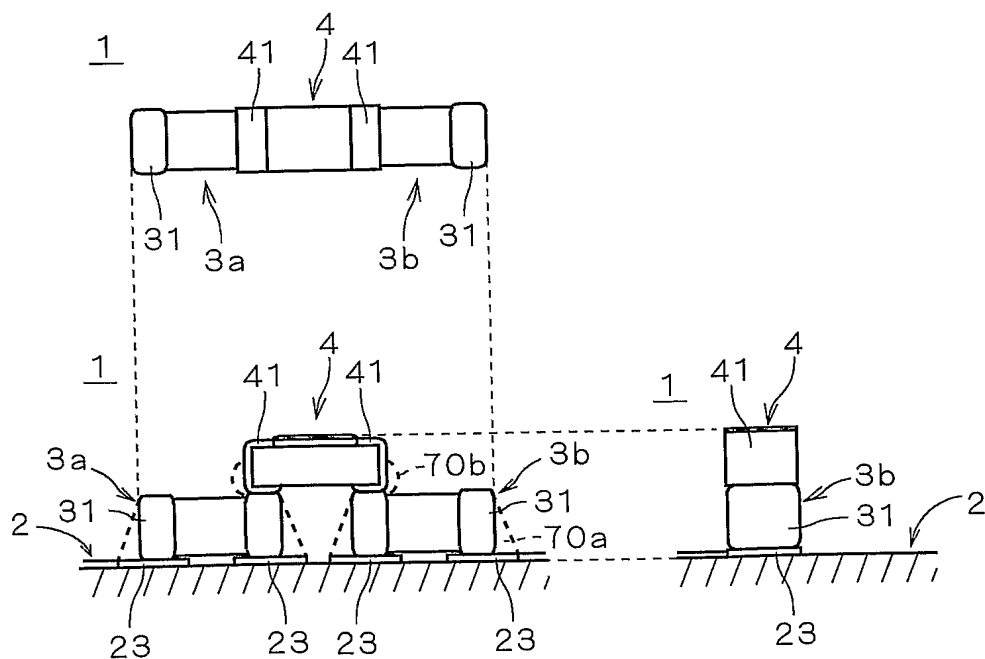
【図 18】



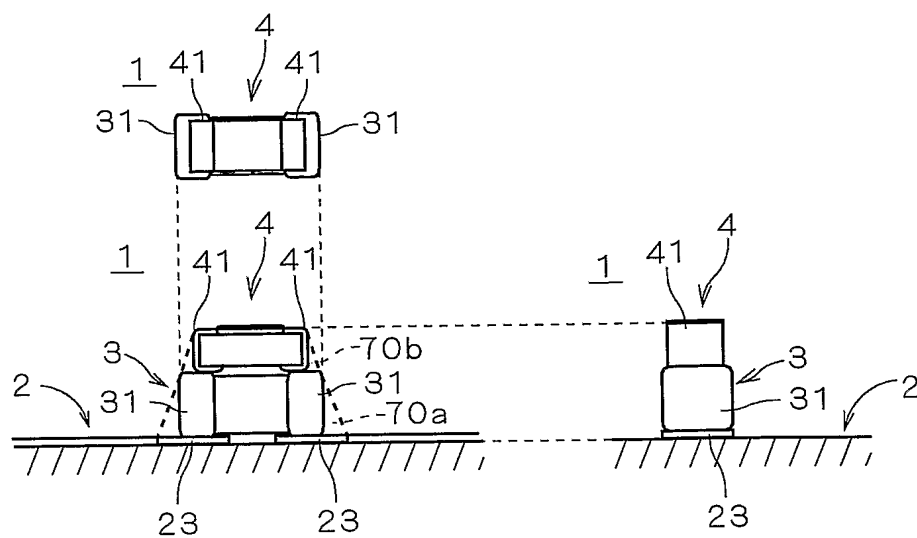
【図 19】



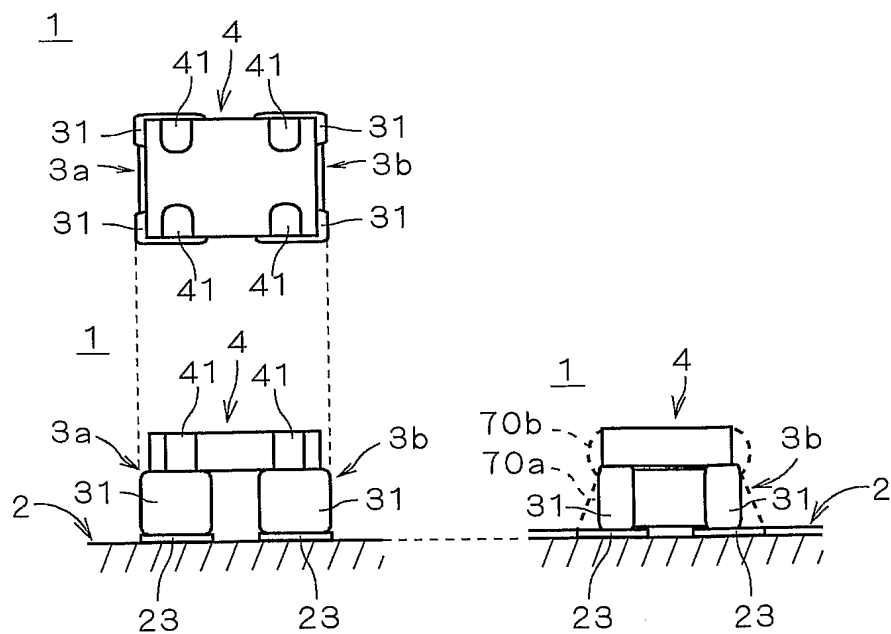
【図 20】



【図 2 1】



【図 2 2】



【書類名】要約書

【要約】

【課題】 チップ部品を基板に高密度に実装し、回路基板を小型化する。

【解決手段】 回路基板 1 は、配線パターン 2 2 が形成された基板 2 と、基板 2 上にはんだ 7 0 a を介して実装されたチップコンデンサである第 1 チップ部品 3 a、3 b と、第 1 チップ部品 3 a、3 b の電極 3 1 上の基板 2 とは反対側にはんだ 7 0 b を介して実装されたチップ抵抗器である第 2 チップ部品 4 とを備える。第 2 チップ部品 4 の一方の電極 4 1 は第 1 チップ部品 3 a の電極 3 1 に接続され、他方の電極 4 1 は第 1 チップ部品 3 b の電極 3 1 に接続される。チップ部品を多段に積み重ねることにより、チップ部品を基板に高密度に実装することができ、回路基板 1 が小型化される。

【選択図】 図 1

特願 2 0 0 4 - 0 1 7 8 9 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社